

"Express Mail" mailing label number EV 327 136 433 US  
Date of Deposit 3/26/03

Our File No. 9281-4756  
Client Reference No. S US03002

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Yoshitaka Hirose )  
Serial No. To Be Assigned )  
Filing Date: Herewith )  
For: Low-Profile Electronic Circuit Module )  
and Method for Manufacturing the )  
Same )

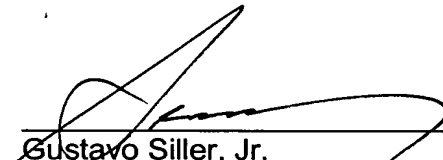
**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Transmitted herewith is a certified copy of priority document Japanese Patent Application No. 2003-078121 filed on March 20, 2003 for the above-named U.S. application.

Respectfully submitted,

  
\_\_\_\_\_  
Gustavo Siller, Jr.  
Registration No. 32,305  
Attorney for Applicant  
Customer Number 00757

BRINKS HOFER GILSON & LIONE  
P.O. BOX 10395  
CHICAGO, ILLINOIS 60610  
(312) 321-4200

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月20日  
Date of Application:

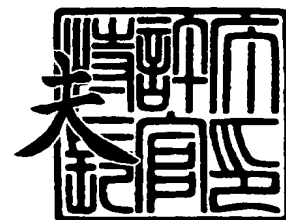
出願番号 特願2003-078121  
Application Number:  
[ST. 10/C]: [JP 2003-078121]

出願人 アルプス電気株式会社  
Applicant(s):

2003年 8月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3066099

【書類名】 特許願

【整理番号】 A7140

【提出日】 平成15年 3月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00

【発明の名称】 電子回路モジュールおよびその製造方法

【請求項の数】 3

【発明者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社  
社内

【氏名】 廣瀬 欣孝

【特許出願人】

【識別番号】 000010098

【氏名又は名称】 アルプス電気株式会社

【代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【選任した代理人】

【識別番号】 100087354

【弁理士】

【氏名又は名称】 市村 裕宏

## 【選任した代理人】

【識別番号】 100099520

【弁理士】

【氏名又は名称】 小林 一夫

## 【手数料の表示】

【予納台帳番号】 006770

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0010414

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路モジュールおよびその製造方法

【特許請求の範囲】

【請求項 1】 回路基板の一面に凹部を設けると共に、前記回路基板の一面と前記凹部の内底面とにそれぞれランドを配設し、これらランドに面実装電子部品をリフロー半田付けしたことを特徴とする電子回路モジュール。

【請求項 2】 請求項 1 の記載において、前記回路基板の一面に半田付けされた面実装電子部品がチップ部品であり、前記凹部の内底面に半田付けされた面実装電子部品がフリップチップ I C であることを特徴とする電子回路モジュール。

【請求項 3】 回路基板の表面に凹部を設けると共に、これら表面と凹部の内底面とにそれぞれランドを配設する工程と、

表面を平坦状としたメタルマスクの裏面に凸部を形成し、このメタルマスクを前記回路基板の表面に載置して前記凸部と前記凹部を位置合わせする工程と、

前記メタルマスクを用いて前記各ランドにそれぞれクリーム半田を塗布する工程と、

前記ランド上に前記クリーム半田を介して面実装電子部品をマウントした後、前記回路基板をリフロー炉に搬入して前記面実装電子部品を対応する前記ランドにリフロー半田付けする工程と、

を含むことを特徴とする電子回路モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路基板上に各種の面実装電子部品を半田付けした電子回路モジュールおよびその製造方法に係り、特に、これら面実装電子部品がチップ抵抗やチップコンデンサ等のチップ部品と B G A (Ball Grid Array) 型や B C C (Bump Chip Carrier) 型等のフリップチップ I C を含む電子回路モジュールおよびその製造方法に関する。

【0002】

**【従来の技術】**

近年、電子機器の小型薄型化に伴って、電子回路モジュールの回路基板にはチップ部品や半導体集積回路部品（IC）等の面実装電子部品が高密度で実装されるようになっている。

**【0003】**

従来より、このような電子回路モジュールの一例として、回路基板の表面に配設された複数のランドにチップ部品とフリップチップICをリフロー半田付けしたものが知られている（例えば、特許文献1参照）。かかる電子回路モジュールを製造する場合、メタルマスクを用いて回路基板の各ランド上にクリーム半田を塗布した後、これらクリーム半田上にチップ部品やフリップチップICをマウントし、この状態で回路基板をリフロー炉に搬入してチップ部品やフリップチップICを対応するランドにリフロー半田付けしていた。

**【0004】**

また、他の従来例として、回路基板上に実装される各種回路部品のうち、チップ部品をランドにリフロー半田付けすると共に、ICをベアチップの状態で回路基板の上に接着・固定し、このベアチップをワイヤーボンディングやスタッドバンブ等によってランドに接続するようにした電子回路モジュールも知られている。

**【0005】****【特許文献1】**

特開平7-211854号公報（第2頁、図6）

**【0006】****【発明が解決しようとする課題】**

前述した従来例のうち、チップ部品とフリップチップICをリフロー半田付けした前者の電子回路モジュールの場合、チップ部品に比べてフリップチップICが大型であるため、回路基板の表面から突出するフリップチップICの高さ寸法によって電子回路モジュール全体の厚みが決定されてしまい、このことが電子回路モジュールの薄型化を妨げる大きな要因となっていた。

**【0007】**

一方、ICをベアチップの状態で回路基板の上に実装した後者の電子回路モジュ

ールの場合、フリップチップ I C に比べてベアチップの高さ寸法が十分に小さいため、電子回路モジュールの薄型化を実現することはできるものの、ベアチップはチップ部品のようにリフロー半田付けすることができず、ワイヤーボンディングやスタッドバンプ等の手段を用いてランドに接続する必要があるため、製造工程が煩雑になって実装設備も高価となり、電子回路モジュールのトータルコストが上昇するという問題があった。

#### 【0008】

本発明は、このような従来技術の実情に鑑みてなされたもので、その目的は、安価で薄型化に好適な電子回路モジュールを提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

上述した目的を達成するために、本発明の電子回路モジュールでは、回路基板の一面に凹部を設けると共に、この回路基板の一面と前記凹部の内底面とにそれぞれランドを配設し、これらランドに面実装電子部品をリフロー半田付けするようにした。

#### 【0010】

このように構成された電子回路モジュールによれば、凹部の内底面に実装された面実装電子部品の高さ寸法が他の面実装電子部品に比べて大きい場合でも、凹部の内底面に実装された面実装電子部品の回路基板からの突出量が凹部の深さによって減じられるため、電子回路モジュール全体の厚みを薄型化することができ、しかも、各面実装電子部品は回路基板の一面と凹部の内底面に配設されたランドにそれぞれリフロー半田付けされているため、各面実装電子部品を全て同一のリフロー工程で回路基板に半田付けすることができ、製造コストの上昇を抑えて安価な電子回路モジュールを実現できる。その際、回路基板の一面に半田付けされた面実装電子部品がチップ部品で、凹部の内底面に半田付けされた面実装電子部品がフリップチップ I C であることが好ましい。

#### 【0011】

また、上述した目的を達成するために、本発明による電子回路モジュールの製造方法では、回路基板の表面に凹部を設けると共に、これら表面と凹部の内底面

とにそれぞれランドを配設する工程と、表面を平坦状としたメタルマスクの裏面に凸部を形成し、このメタルマスクを前記回路基板の表面に載置して前記凸部と前記凹部を位置合わせする工程と、前記メタルマスクを用いて前記各ランドにそれぞれクリーム半田を塗布する工程と、前記ランド上に前記クリーム半田を介して面実装電子部品をマウントした後、前記回路基板をリフロー炉に搬入して前記面実装電子部品を対応する前記ランドにリフロー半田付けする工程とを含むこととした。

#### 【0012】

このような製造方法を採用した製造された電子回路モジュールによれば、回路基板の表面と凹部の内底面に配設された各ランドに対して凸部を有するメタルマスクを用いてそれぞれクリーム半田を塗布した後、これらクリーム半田に各面実装電子部品をマウントしてから対応するランドにリフロー半田付けすることにより、各面実装電子部品を全て同一のリフロー工程で回路基板に半田付けすることができるため、製造コストの上昇を抑えて安価な電子回路モジュールを実現することができ、しかも、凹部の内底面に実装された面実装電子部品の高さ寸法が他の面実装電子部品に比べて大きい場合でも、凹部の内底面に実装された面実装電子部品の回路基板からの突出量が凹部の深さによって減じられるため、電子回路モジュール全体の厚みを薄型化することができる。

#### 【0013】

##### 【発明の実施の形態】

発明の実施の形態について図面を参照して説明すると、図1は本発明の実施形態例に係る電子回路モジュールの断面図、図2は該電子回路モジュールの製造工程を示す断面図、図3は該電子回路モジュールの製造工程を示すフローチャートである。

#### 【0014】

図1に示すように、本実施形態例に係る電子回路モジュール1は、上面に凹部2aを有するアルミナ基板やセラミック基板等からなる回路基板2と、この回路基板2上に実装された各種チップ部品3およびフリップチップIC4とで構成されており、これらチップ部品3とフリップチップIC4は回路基板2の上面と凹



部 2 a の内底面に配設されたランド 5 にそれぞれリフロー半田付けされている。

#### 【0015】

回路基板 2 は例えば図示せぬマザー基板上にリフロー半田付けによって搭載される面実装タイプのモジュールとなっており、その場合、回路基板 2 の側面や底面にマザー基板の接続ランドにリフロー半田付けされる複数の接続端子（図示せず）が設けられる。回路基板 2 の上面には凹部 2 a が形成されており、この凹部 2 a はフリップチップ IC 4 の外形よりも幾分大きめに形成され、その深さ寸法は例えば 0.2 ～ 0.3 mm 程度である。また、回路基板 2 の上面と凹部 2 a の内底面には複数のランド 5 が配設されており、各ランド 5 は図示せぬ配線パターンを介して導通されている。なお、説明の都合上、回路基板 2 の上面に配設されたランドに符号 5 a を付し、凹部 2 a の内底面に配設されたランドに符号 5 b を付してある。

#### 【0016】

各チップ部品 3 はチップコンデンサやチップ抵抗であり、これらチップ部品 3 の外部端子 3 a は回路基板 2 の上面に配設されたランド 5 a にリフロー半田付けされている。フリップチップ IC 4 は BGA 型や BCC 型と呼ばれるフリップチップ IC であり、本実施形態例では底面に格子状に配列させた外部接続用ランドに半田ボール 4 a を接着した BGA 型のフリップチップ IC 4 を用い、このフリップチップ IC 4 の半田ボール 4 a は凹部 2 a の内底面に配設されたランド 5 b にリフロー半田付けされている。

#### 【0017】

次に、このように構成された電子回路モジュール 1 の製造方法を図 2 と図 3 を参照して説明する。

#### 【0018】

まず、図 3 のステップ S-1 に示すように、回路基板 2 とメタルマスク 6 とを準備するが、前述したように、この回路基板 2 は上面の一部に凹部 2 a を有しており、これら上面と凹部 2 a の内底面にそれぞれランド 5 a, 5 b が形成されている。また、図 2 (a) に示すように、このメタルマスク 6 は金属平板の裏面から突出する凸部 6 a を有しており、この凸部 6 a を含めて多数の透孔 6 b が形成

されている。これら凸部 6 a と各透孔 6 b はエッチングやレーザ加工等を用いて形成することができ、凸部 6 a の突出量は回路基板 2 の凹部 2 a の深さ寸法と同じ (0.2 ~ 0.3 mm) に設定されている。

#### 【0019】

次いで、図 3 のステップ S-2 に示すように、このメタルマスク 6 を用いて回路基板 2 の各ランド 5 a, 5 b 上にクリーム半田を塗布する。この場合、まずメタルマスク 6 を回路基板 2 上に載置・位置決めして凸部 6 a を凹部 2 a 内に挿入した後、図 2 (b) に示すように、スキージ 7 を用いてメタルマスク 6 の各透孔 6 b 内にクリーム半田 8 を充填する。しかる後、メタルマスク 6 を回路基板 2 から取り除くと、図 2 (c) に示すように、回路基板 2 の各ランド 5 a, 5 b 上にクリーム半田 8 が塗布される。その際、メタルマスク 6 には凹部 2 a の内底面に密着する凸部 6 a が形成されているため、回路基板 2 の上面と凹部 2 a の内底面に露出する各ランド 5 a, 5 b 上にクリーム半田 8 を同時に塗布することができる。

#### 【0020】

次いで、図 3 のステップ S-3 に示すように、各ランド 5 a, 5 b 上にクリーム半田 8 を介してチップ部品 3 とフリップチップ IC 4 とをマウントする。この場合、図 2 (d) に示すように、各チップ部品 3 は回路基板 2 の上面のランド 5 a に塗布されたクリーム半田 8 にマウントされ、フリップチップ IC 4 は凹部 2 a の内底面のランド 5 b に塗布されたクリーム半田 8 にマウントされる。

#### 【0021】

次いで、図 3 のステップ S-4 に示すように、チップ部品 3 とフリップチップ IC 4 を対応するランド 5 a, 5 b にリフロー半田付けすることにより、図 1 に示した電子回路モジュール 1 が製造される。すなわち、回路基板 2 をマウントされた各チップ部品 3 およびフリップチップ IC 4 と共に図示せぬリフロー炉に搬入し、このリフロー炉でクリーム半田 8 を溶融して固化することにより、図 1 に示すように、各チップ部品 3 の外部端子 3 a が回路基板 2 の上面のランド 5 a にリフロー半田付けされると共に、フリップチップ IC 4 の半田ボール 4 a が凹部 2 a の内底面のランド 5 b にリフロー半田付けされる。

**【0022】**

このように本実施形態例に係る電子回路モジュール1によれば、回路基板2の上面に凹部2aを形成し、この凹部2aの内底面に配設されたランド5bにフリップチップIC4の半田ボール4aをリフロー半田付けしたので、フリップチップIC4の回路基板2からの突出量が凹部2aの深さ相当分だけ減じられる。このため、他のチップ部品3に比べて高さ寸法が大きいフリップチップIC4を同一の回路基板2上に実装しているのにも拘わらず、電子回路モジュール1全体の厚み(図1のW)を薄型化することができる。また、かかる電子回路モジュール1を製造する場合、メタルマスク6の裏面に凸部6aを形成し、この凸部6aを凹部2aの内底面に密着させた状態でクリーム半田8を塗布するようにしたので、回路基板2の上面と凹部2aの内底面に配設された各ランド5a, 5b上にクリーム半田8を同時に塗布することができる。すなわち、このようなメタルマスク6を用いて回路基板2の各ランド5a, 5b上にクリーム半田8を一括して塗布した後、これらクリーム半田8に各チップ部品3とフリップチップIC4をマウントしてから対応するランド5a, 5bにリフロー半田付けすることにより、各チップ部品3とフリップチップIC4を全て同一のリフロー工程で回路基板2に実装することができる。したがって、ベアチップの状態のICをワイヤーボンディングやスタッドバンプ等の接続手段を用いて実装する場合のような高価で煩雑な実装設備が不要となり、その分、製造コストの上昇を抑えて安価で薄型化に好適な電子回路モジュール1を実現することができる。

**【0023】**

なお、上記実施形態例では、回路基板2の凹部2a内にリフロー半田付ける面実装電子部品としてBGA型のフリップチップIC4を例示したが、BGA型に代えてBCC型のフリップチップICを用いたり、フリップチップIC以外の面実装電子部品を用いることも可能である。

**【0024】****【発明の効果】**

本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。

## 【 0 0 2 5 】

回路基板の凹部の内底面に実装された面実装電子部品の高さ寸法が他の面実装電子部品に比べて大きい場合でも、凹部の内底面に実装された面実装電子部品の回路基板からの突出量が凹部の深さによって減じられるため、電子回路モジュール全体の厚みを薄型化することができ、しかも、このような電子回路モジュールは、凸部を有するメタルマスクを用いて回路基板の一面と凹部の内底面に配設されたランドにクリーム半田を塗布した後、これらクリーム半田に各面実装電子部品をマウントしてから対応するランドにリフロー半田付けすることにより、各面実装電子部品を全て同一のリフロー工程で回路基板に半田付けすることができるため、製造コストの上昇を抑えて安価な電子回路モジュールを実現することができる。

## 【図面の簡単な説明】

## 【図 1】

本発明の実施形態例に係る電子回路モジュールの断面図である。

## 【図 2】

該電子回路モジュールの製造工程を示す断面図である。

## 【図 3】

該電子回路モジュールの製造工程を示すフローチャートである。

## 【符号の説明】

- 1 電子回路モジュール
- 2 回路基板
  - 2 a 凹部
- 3 チップ部品（面実装電子部品）
  - 3 a 外部端子
- 4 フリップチップ I C（面実装電子部品）
  - 4 a 半田ボール
- 5, 5 a, 5 b ランド
- 6 メタルマスク
  - 6 a 凸部

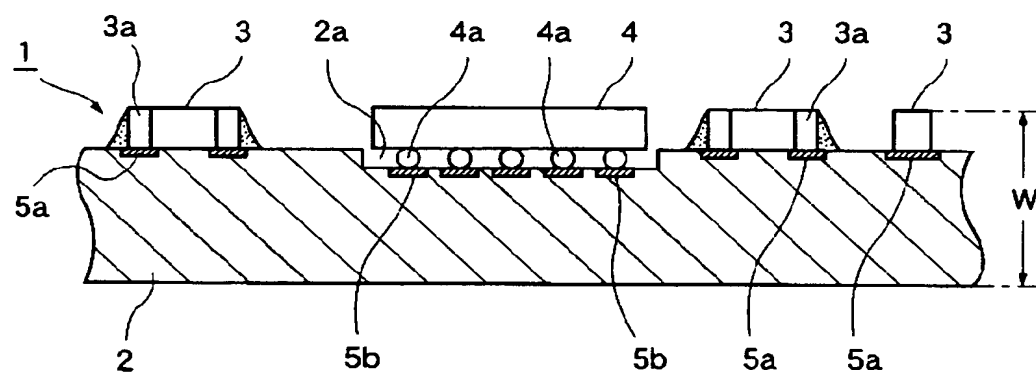
6 b 透孔

7 スキージ

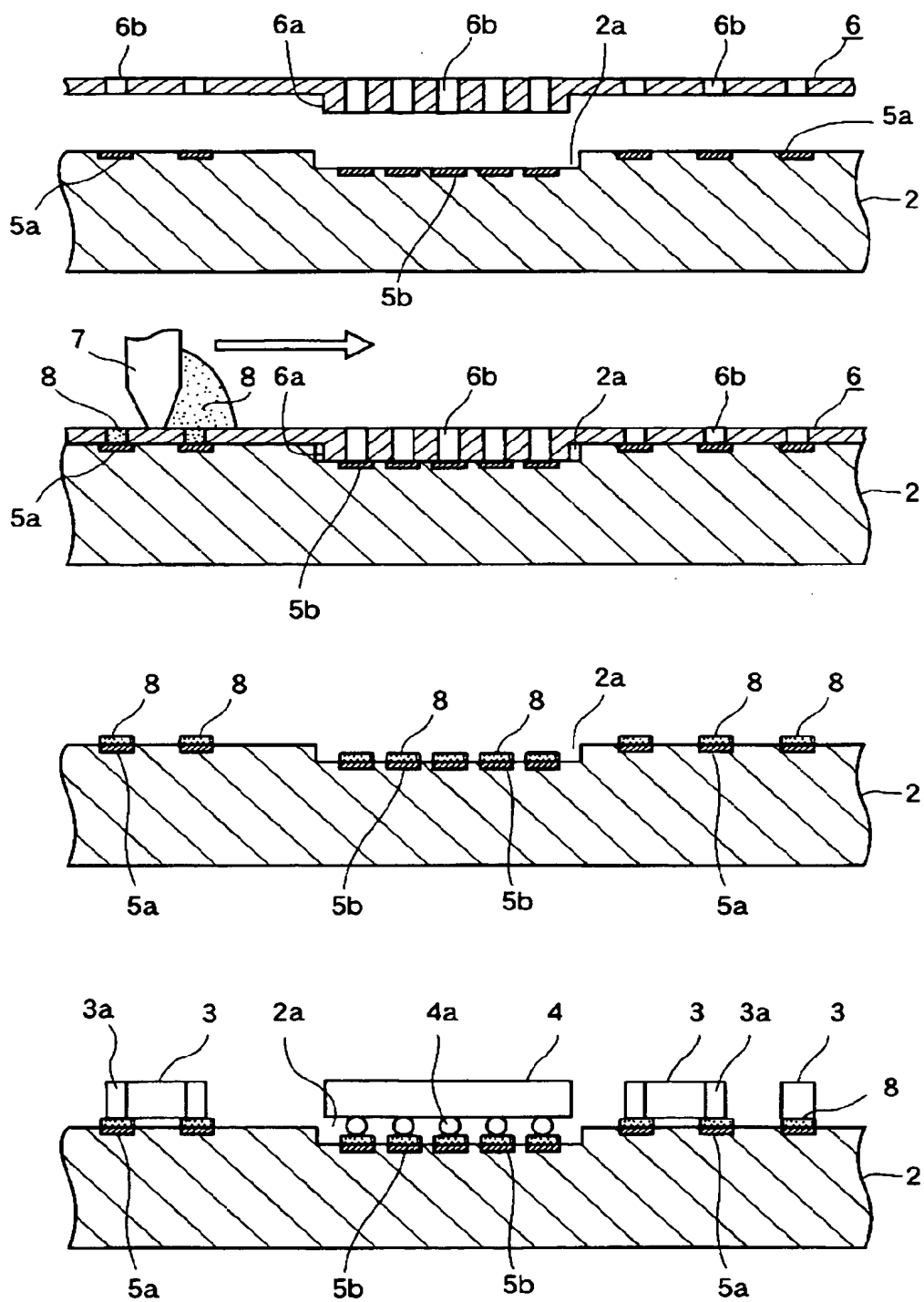
8 クリーム半田

【書類名】 図面

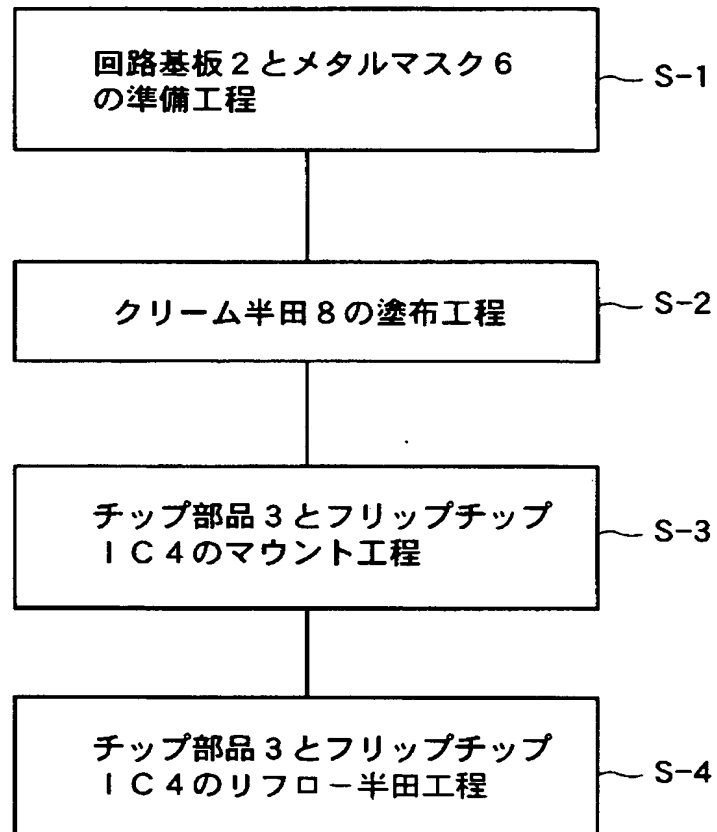
【図 1】



【図 2】



【図 3】





【書類名】 要約書

【要約】

【課題】 安価で薄型化に好適な電子回路モジュールを提供すること。

【解決手段】 上面と凹部 2 a の内底面にそれぞれランド 5 a, 5 b を配設した回路基板 2 を準備すると共に、金属平板の裏面から凸部 6 a を突出させたメタルマスク 6 を準備し、凸部 6 a が凹部 2 a の内底面に密着するようにメタルマスク 6 を回路基板 2 上に載置・位置決めした後、このメタルマスク 6 を用いて各ランド 5 a, 5 b 上にクリーム半田 8 を塗布する。しかる後、これらクリーム半田 8 上にチップ部品 3 とフリップチップ I C 4 をマウントした後、回路基板 2 をリフロー炉に搬入してクリーム半田 8 を溶融・固化することにより、各チップ部品 3 の外部端子 3 a を回路基板 2 の上面のランド 5 a にリフロー半田付けすると共に、フリップチップ I C 4 の半田ボール 4 a を凹部 2 a の内底面のランド 5 b にリフロー半田付けするようにした。

【選択図】 図 2

特願 2 0 0 3 - 0 7 8 1 2 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 1 0 0 9 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

東京都大田区雪谷大塚町 1 番 7 号

氏 名

アルプス電気株式会社